

(19)日本国特許庁(JP)

(12) 公開特許公報(A)

(11)特許出願公開番号

特開平6-268455

(43)公開日 平成6年(1994)9月22日

(51)Int.Cl.<sup>5</sup>

H 0 3 F 3/30

識別記号

庁内整理番号

8522-5 J

F I

技術表示箇所

審査請求 未請求 請求項の数 1 O L (全 6 頁)

(21)出願番号 特願平5-50655

(22)出願日 平成5年(1993)3月11日

(71)出願人 000005049

シャープ株式会社

大阪府大阪市阿倍野区長池町22番22号

(72)発明者 増井 謙次

大阪府大阪市阿倍野区長池町22番22号 シ

ャープ株式会社内

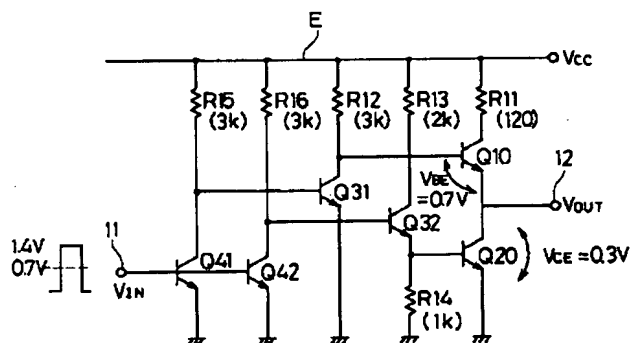
(74)代理人 弁理士 岡田 和秀

(54)【発明の名称】 プッシュプル型出力回路

(57)【要約】

【目的】 より低い電源電圧のもとでプッシュプル型出力回路が動作するようにするためにショットキーバリアダイオードを取り除いても、縦型に接続された出力段の両NPN型トランジスタが同時にONすることを防止する。

【構成】 コレクタが電源ラインEに接続された上段NPN型トランジスタQ10とエミッタが接地された下段NPN型トランジスタQ20とをショットキーバリアダイオードD1を介することなく直接的に接続し、そのエミッタ・コレクタ接続点を出力端子12とする。上段NPN型トランジスタQ10にはそれ専用の上段ドライブ用トランジスタQ31を設け、下段NPN型トランジスタQ20にはそれ専用の下段ドライブ用トランジスタQ32を設け、両ドライブ用トランジスタQ31、Q32を独立して制御する。



## 【特許請求の範囲】

【請求項1】 プッシュプル出力段として上段トランジスタおよび下段トランジスタともにNPN型のものを用い、上段NPN型トランジスタのエミッタと下段NPN型トランジスタのコレクタとを直接に接続し、その接続点を出力端子に接続し、上段NPN型トランジスタのコレクタを電源ラインに接続し、下段NPN型トランジスタのエミッタをグラウンドレベルに接地してあるとともに、上段NPN型トランジスタを駆動する上段ドライブ用トランジスタと下段NPN型トランジスタを駆動する下段ドライブ用トランジスタとを互いに独立させて設けてあることを特徴とするプッシュプル型出力回路。

## 【発明の詳細な説明】

## 【0001】

【産業上の利用分野】 本発明は、プッシュプル型の出力段を構成するのに、NPN型のトランジスタとPNP型のトランジスタとをコンプリメンタリに接続するのではなく、NPN型のトランジスタどうしを縦型に接続し、下段NPN型トランジスタのコレクタを出力端子としたプッシュプル型出力回路に関する。

## 【0002】

【従来の技術】 従来のこの種のプッシュプル型出力回路を図3に示す。上段のNPN型トランジスタQ1のコレクタは抵抗R1(120Ω)を介して電源ラインEに接続され、そのエミッタはショットキーバリアダイオードD1を介して下段のNPN型トランジスタQ2のコレクタに接続されている。ショットキーバリアダイオードD1のアノードは上段NPN型トランジスタQ1のエミッタに接続され、カソードは下段NPN型トランジスタQ2のコレクタに接続されている。電源ラインEにNPN型のドライブ用トランジスタQ3のコレクタが抵抗R2(2kΩ)を介して接続され、そのエミッタが抵抗R3(1kΩ)を介してグラウンドラインに接地されている。ドライブ用トランジスタQ3のコレクタが上段NPN型トランジスタQ1のベースに接続され、ドライブ用トランジスタQ3のエミッタが下段NPN型トランジスタQ2のベースに接続されている。ドライブ用トランジスタQ3のベースは入力端子1に接続され、下段NPN型トランジスタQ2のコレクタは出力端子2に接続されている。ショットキーバリアダイオードD1は、上段NPN型トランジスタQ1と下段NPN型トランジスタQ2とが同時にONすることを防止するためのものである。

【0003】 入力端子1に入力された入力電圧 $V_{IN}$ がローレベルでドライブ用トランジスタQ3がOFF状態であると、上段NPN型トランジスタQ1は、そのベースが抵抗R2を介して電源ラインEに接続されてONとなる一方、下段NPN型トランジスタQ2のベースは抵抗R3を介してグラウンドレベルとなりOFFとなる。したがって、出力端子2からの出力電圧 $V_{OUT}$ は、電源ラインEの電源電圧 $V_{CC}$ を抵抗R1と上段NPN型トランジ

スタQ1とショットキーバリアダイオードD1とで電圧降下したハイレベル電圧 $V_{OUT-H}$ となる。

【0004】 上記とは逆に入力電圧 $V_{IN}$ がハイレベルでドライブ用トランジスタQ3がON状態であると、上段NPN型トランジスタQ1はOFFとなる一方、下段NPN型トランジスタQ2は抵抗R3の両端電圧によってONとなる。したがって、出力電圧 $V_{OUT}$ はローレベル電圧 $V_{OUT-L}$ となる。

【0005】 ハイレベル電圧 $V_{OUT-H}$ は、上段NPN型トランジスタQ1のベース電流を無視すると、概算で、ハイレベル電圧 $V_{OUT-H} = \text{電源電圧 } V_{CC} - \text{上段NPN型トランジスタQ1のベース・エミッタ間電圧 } V_{BE} - \text{ショットキーバリアダイオードD1の順方向電圧 } V_F$  …… (1)

によって決まる。

【0006】 ハイレベル電圧 $V_{OUT-H}$ およびローレベル電圧 $V_{OUT-L}$ を具体的に示すと次のようになる。

【0007】 電源電圧 $V_{CC} = 3V$ とする。上段NPN型トランジスタQ1のベース・エミッタ間電圧 $V_{BE} = 0.7V$ 、ショットキーバリアダイオードD1の順方向電圧 $V_F = 0.4V$ とすると、ハイレベル電圧 $V_{OUT-H}$ は、 $V_{OUT-H} = V_{CC} - V_{BE} - V_F = 3 - 0.7 - 0.4 = 3 - 1.1 = 1.9 [V]$  …… (2)

となる。また、ローレベル電圧 $V_{OUT-L}$ は、下段NPN型トランジスタQ2のコレクタ・エミッタ間電圧 $V_{CE} = 0.3V$ とすると、 $V_{OUT-L} = V_{CE} = 0.3 [V]$  …… (3)

となる。

【0008】 (2)式から明らかなように、ハイレベル電圧 $V_{OUT-H}$ は電源電圧 $V_{CC}$ によって変化する。また、それから引き算される1.1Vは、上段NPN型トランジスタQ1のベース・エミッタ間電圧 $V_{BE} = 0.7V$ と、上下段のNPN型トランジスタQ1、Q2の同時ONを防止するためのショットキーバリアダイオードD1の順方向電圧 $V_F = 0.4V$ との和である。つまり、 $V_{OUT-H} = V_{CC} - 1.1 [V]$  …… (4)

である。これを変形すると、

$V_{OUT-H} / V_{CC} = 1 - 1.1 / V_{CC}$  …… (5)

となり、電源電圧 $V_{CC}$ が低ければ低いほど、電源電圧 $V_{CC}$ に対するハイレベル電圧 $V_{OUT-H}$ の低下の割合が大きくなり、低電圧の電源電圧 $V_{CC}$ を使用すると、プッシュプル型出力回路として動作が不可能になってしまう。

【0009】 電源電圧 $V_{CC} = 5V$ のときと、 $V_{CC} = 3V$ のときとについて、以下に電源電圧 $V_{CC}$ に対するハイレベル電圧 $V_{OUT-H}$ の低下の割合の例を示す。

【0010】  $V_{CC} = 5V$ のとき

$V_{OUT-H} = 5V - 1.1V = 3.9 [V]$

## 3

よって、電源電圧 $V_{cc}$ に対するハイレベル電圧 $V_{OUT-H}$ の低下の割合は、

$$(3.9 \div 5) \times 100 = 78 [\%] \quad \dots\dots\dots (6)$$

となる。

【0011】  $V_{cc} = 3V$ のとき

$$V_{OUT-H} = 3V - 1.1V = 1.9 [V]$$

よって、電源電圧 $V_{cc}$ に対するハイレベル電圧 $V_{OUT-H}$ の低下の割合は、

$$(1.9 \div 3) \times 100 \approx 63 [\%] \quad \dots\dots\dots 10 (7)$$

となる。

【0012】ローレベル電圧 $V_{OUT-L}$ は、電源電圧 $V_{cc}$ の大きさに影響されず、下段NPN型トランジスタQ2のコレクタ・エミッタ間電圧 $V_{CE}$ によって決まる。

【0013】したがって、上記した従来例のプッシュプル型出力回路においては、電源電圧 $V_{cc}$ を低くすればするほど、電源電圧 $V_{cc}$ に対するハイレベル電圧 $V_{OUT-H}$ の低下の割合が大きくなり、プッシュプル型出力回路として動作不可能になるおそれがあるのである。

【0014】電源電圧 $V_{cc}$ に対するハイレベル電圧 $V_{OUT-H}$ の低下の割合を改善して小さくするためには、上段NPN型トランジスタQ1と下段NPN型トランジスタQ2とが同時にONすることを防止するためのショットキーバリアダイオードD1をなくすことが必要になってくる。

【0015】図4は、ショットキーバリアダイオードD1があり、ドライブ用トランジスタQ3がONした場合の各部の電位を示す。下段NPN型トランジスタQ2のベース・エミッタ間電圧 $V_{BE} = 0.7V$ である。この下段NPN型トランジスタQ2がONするためには、抵抗R3の両端電圧が少なくとも $0.7V$ 必要である。ドライブ用トランジスタQ3のベース・エミッタ間電圧 $V_{BE} = 0.7V$ とすると、このドライブ用トランジスタQ3をONするためには、そのベース電圧として少なくとも $1.4V$ が必要となる。そこで、入力電圧 $V_{IN}$ を $1.5V$ 以上印加するものとする。

【0016】ドライブ用トランジスタQ3がONし、電源ラインEより抵抗R2、ドライブ用トランジスタQ3、抵抗R3を介して電流が流れる。抵抗R3の両端電圧は $0.7V$ となり、下段NPN型トランジスタQ2をONする。下段NPN型トランジスタQ2のコレクタ・エミッタ間電圧 $V_{CE} = 0.3V$ が出力端子2に生じ、出力電圧 $V_{OUT}$ はローレベル電圧 $V_{OUT-L}$ となる。一方、ドライブ用トランジスタQ3に電流が流れると、ドライブ用トランジスタQ3のコレクタ電圧は、そのコレクタ・エミッタ間電圧 $V_{CE} = 0.4V$ として、 $0.7V + 0.4V = 1.1V$ となる。上段NPN型トランジスタQ1のベース・エミッタ間電圧 $V_{BE} = 0.7V$ 、ショットキーバリアダイオードD1の順方向電圧 $V_F = 0.4$

## 4

$V$ 、下段NPN型トランジスタQ2のコレクタ電圧が $0.3V$ であり、 $0.7V + 0.4V + 0.3V = 1.4V$ であるから、上段NPN型トランジスタQ1のベース電圧が $1.1V$ となっても、上段NPN型トランジスタQ1はON状態に反転せずOFF状態を保つ。

【0017】もし、ショットキーバリアダイオードD1がないとすると、 $0.7V + 0.3V = 1.0V$ であるから、上段NPN型トランジスタQ1のベースが $1.1V$ あると、上段NPN型トランジスタQ1はON状態に反転してしまい、上段・下段の両NPN型トランジスタQ1、Q2が同時にONとなってしまう。すなわち、順方向電圧 $V_F = 0.4V$ をもつショットキーバリアダイオードD1は、上段・下段の両NPN型トランジスタQ1、Q2が同時にONすることを防止しているのである。すなわち、同時ONにより両NPN型トランジスタQ1、Q2に非常に大きな貫通電流が流れ、両NPN型トランジスタQ1、Q2が破壊されることを防止しているのである。

【0018】

20 【発明が解決しようとする課題】しかし、上述したように、電源電圧 $V_{cc}$ を例えば $3V$ と低くした場合、電源電圧 $V_{cc}$ に対するハイレベル電圧 $V_{OUT-H}$ の低下の割合が大きくなり、プッシュプル型出力回路として動作不可能になるおそれがある。それを回避するためには、ショットキーバリアダイオードD1をなくすことが必要になってくる。

30 【0019】図5は、ショットキーバリアダイオードD1を除去し、入力電圧 $V_{IN} = 1.5V$ としてドライブ用トランジスタQ3をONさせた場合の各部の電位を示す。ドライブ用トランジスタQ3のONにより抵抗R3の両端電圧が $0.7V$ となるため、下段NPN型トランジスタQ2がONする。そして、出力端子2にローレベル電圧 $V_{OUT-L}$ として $0.3V$ が生じる。一方、ドライブ用トランジスタQ3に電流が流れることにより、ドライブ用トランジスタQ3のコレクタ電圧は、 $0.7V + 0.4V = 1.1V$ となる。上段NPN型トランジスタQ1のベース・エミッタ間電圧 $V_{BE} = 0.7V$ 、下段NPN型トランジスタQ2のコレクタ電圧が $0.3V$ であり、 $0.7V + 0.3V = 1.0V$ であるから（ショットキーバリアダイオードD1の順方向電圧 $V_F = 0.4V$ はない）、上段NPN型トランジスタQ1のベース電圧が $1.1V$ となると、このトランジスタQ1はOFF状態からON状態に反転する。すなわち、上段・下段の両NPN型トランジスタQ1、Q2が同時にONとなってしまう。

40 【0020】以上をまとめると、次のようにいうことができる。すなわち、電源電圧 $V_{cc}$ を低くした場合には電源電圧 $V_{cc}$ に対するハイレベル電圧 $V_{OUT-H}$ の低下の割合が大きくなりプッシュプル型出力回路として動作不可能になってしまう。そこで、電源電圧 $V_{cc}$ に対するハイ

50

## 5

レベル電圧 $V_{OUT-H}$ の低下の割合を小さく抑える必要があり、そのためにはショットキーバリアダイオードD1を除去すればよいのであるが、そうすると、プッシュプル動作すべき出力段の両NPN型トランジスタQ1、Q2が同時にONになる。抵抗R1の抵抗値は小さいから、両NPN型トランジスタQ1、Q2が同時にONとなると、両NPN型トランジスタQ1、Q2に流れる電流が非常に大きな貫通電流となり、両NPN型トランジスタQ1、Q2を破壊してしまう。

【0021】本発明は、このような事情に鑑みて創案されたものであって、より低い電源電圧のもとでプッシュプル型出力回路が動作するようにするためにショットキーバリアダイオードを取り除きとしても、縦型に接続された出力段の両NPN型トランジスタが同時にONすることを防止できるようにすることを目的とする。

## 【0022】

【課題を解決するための手段】本発明に係るプッシュプル型出力回路は、プッシュプルの出力段として上段トランジスタおよび下段トランジスタともにNPN型のものをを用い、上段NPN型トランジスタのエミッタと下段NPN型トランジスタのコレクタとを直接に接続し、その接続点を出力端子に接続し、上段NPN型トランジスタのコレクタを電源ラインに接続し、下段NPN型トランジスタのエミッタをグランドレベルに接地してあるとともに、上段NPN型トランジスタを駆動する上段ドライブ用トランジスタと下段NPN型トランジスタを駆動する下段ドライブ用トランジスタとを互いに独立させて設けてあることを特徴とするものである。

## 【0023】

【作用】上段NPN型トランジスタに専用の上段ドライブ用トランジスタを設けるとともに、下段NPN型トランジスタに専用の下段ドライブ用トランジスタを設け、これら両ドライブ用トランジスタを独立的に制御するように構成したので、上段NPN型トランジスタと下段NPN型トランジスタとの間をショットキーバリアダイオードを介することなく直接的に接続しても、上段・下段の両NPN型トランジスタが同時にONすることを防止することができる。そして、ショットキーバリアダイオードを省略したことから、電源電圧を低くしてもプッシュプル型出力回路の本来の機能を発揮させることができる。

## 【0024】

【実施例】以下、本発明に係るプッシュプル型出力回路の一実施例を図面に基づいて詳細に説明する。

【0025】図1は出力段としてNPN型トランジスタどうしを縦型に接続したプッシュプル型出力回路の構成を示す回路図である。

【0026】出力段において、上段のNPN型トランジスタQ10のコレクタが抵抗R11(120Ω)を介して電源ラインEに接続され、下段のNPN型トランジ

## 6

スタQ20のコレクタが上段NPN型トランジスタQ10のエミッタに直接的に接続され、下段NPN型トランジスタQ20のエミッタがグランドレベルに接地されている。上段NPN型トランジスタQ10のエミッタと下段NPN型トランジスタQ20のコレクタとの接続点が次段回路に対して出力電圧 $V_{OUT}$ を出力する出力端子12に接続されている。上段NPN型トランジスタQ10と下段NPN型トランジスタQ20の間には、従来例のようなショットキーバリアダイオードは挿入されていない。

【0027】上段NPN型トランジスタQ10のベースはNPN型の上段ドライブ用トランジスタQ31のコレクタに接続され、その接続点は電源ラインEに対して抵抗R12(3kΩ)を介して接続され、上段ドライブ用トランジスタQ31のエミッタは接地されている。下段NPN型トランジスタQ20のベースはNPN型の下段ドライブ用トランジスタQ32のエミッタに接続されている。この下段ドライブ用トランジスタQ32のコレクタは抵抗R13(2kΩ)を介して電源ラインEに接続され、エミッタは抵抗R14(1kΩ)を介して接地されている。上段ドライブ用トランジスタQ31のベースはNPN型の上段制御用トランジスタQ41のコレクタに接続され、そのコレクタは抵抗R15(3kΩ)を介して電源ラインEに接続され、エミッタは接地されている。下段ドライブ用トランジスタQ32のベースはNPN型の下段制御用トランジスタQ42のコレクタに接続され、そのコレクタは抵抗R16(3kΩ)を介して電源ラインEに接続され、エミッタは接地されている。両制御用トランジスタQ41、42のベースどうしは互いに接続され、かつ、入力電圧 $V_{IN}$ を印加する入力端子11に接続されている。

【0028】次に、以上のように構成されたプッシュプル型出力回路の動作を説明する。

【0029】入力端子11に印加される入力電圧 $V_{IN}$ が0.7V以下のローレベルである場合、両制御用トランジスタQ41、42はともにOFF状態である。制御用トランジスタQ41、42がOFF状態であると、両ドライブ用トランジスタQ31、Q32ともにベース電圧がハイレベルとなりONとなる。上段ドライブ用トランジスタQ31がON状態でそのコレクタ電圧がローレベルであるため、上段NPN型トランジスタQ10はOFF状態となる。一方、下段ドライブ用トランジスタQ32がON状態でそのエミッタ電圧がハイレベルであるため、下段NPN型トランジスタQ20はON状態となる。ショットキーバリアダイオードがなくても、上段・下段の両NPN型トランジスタQ10、Q20は同時にはONとはならない。下段NPN型トランジスタQ20がON状態であるため、出力端子12には出力電圧 $V_{OUT}$ として下段NPN型トランジスタQ20のコレクタ・エミッタ間電圧 $V_{CE}=0.3V$ がローレベル電圧V

OUT-L として出力される。

【0030】次に、入力端子11に印加される入力電圧  $V_{IN}$  が0.7Vを超えるハイレベルである場合、両制御用トランジスタQ41、42がともにON状態である。制御用トランジスタQ41、42がOFF状態であると、両ドライブ用トランジスタQ31、Q32ともにベース電圧がローレベルとなりOFFとなる。上段ドライブ用トランジスタQ31がOFF状態でそのコレクタ電圧がハイレベルであるため、上段NPN型トランジスタQ10はON状態となる。一方、下段ドライブ用トランジスタQ32がOFF状態でそのエミッタ電圧がローレベルであるため、下段NPN型トランジスタQ20はOFF状態となる。上段・下段の両NPN型トランジスタQ10、Q20は同時にはONとはならない。

【0031】上段NPN型トランジスタQ10がON状態であり、下段NPN型トランジスタQ20がOFF状態であるため、出力端子12には出力電圧  $V_{OUT}$  として次のようなハイレベル電圧  $V_{OUT-H}$  が出力される。すなわち、電源電圧  $V_{cc}=3V$  とし、上段NPN型トランジスタQ10のベース・エミッタ間電圧  $V_{BE}$  を0.7Vとする。また、上段NPN型トランジスタQ10のベース電流を無視するとする。ハイレベル電圧  $V_{OUT-H}$  は、  
 $V_{OUT-H} = V_{cc} - V_{BE} = 3 - 0.7 = 2.3 [V]$  …… (8)

となる。電源電圧  $V_{cc}$  に対するハイレベル電圧  $V_{OUT-H}$  の低下の割合は、

$$(2.3 \div 3) \times 100 \approx 77 [\%] \quad \dots\dots (9)$$

となる。これは、従来例において電源電圧  $V_{cc}=5V$  としたときの(6)式で表された電源電圧  $V_{cc}$  に対するハイレベル電圧  $V_{OUT-H}$  の低下の割合である78[%]とほぼ同じであり、それほど大きな低下ではない。従来例において電源電圧  $V_{cc}=3V$  としたときは電源電圧  $V_{cc}$  に対するハイレベル電圧  $V_{OUT-H}$  の低下の割合は(7)式で示されたように63[%]とかなり大きく、これではプッシュプル型出力回路として動作不可能になるおそれがあった。

【0032】しかし、本発明の実施例では、電源電圧  $V_{cc}=3V$  と低く設定しても上記のように電源電圧  $V_{cc}$  に対するハイレベル電圧  $V_{OUT-H}$  の低下の割合は77

[%]と小さく、プッシュプル型出力回路として十分に動作が可能である。そして、そのようにするためにショットキーバリアダイオードを取り除いたのであるが、上段・下段の両NPN型トランジスタQ10、Q20が同時にONとなることはなく、貫通電流を防止して両NPN型トランジスタQ10、Q20を破壊から保護することができる。つまり、プッシュプル型出力回路としての信頼性を確保することができ、従来から使用されていた5V系電源を用いたプッシュプル型出力回路と同等の機能を3V系電源のプッシュプル型出力回路としてもたせ

ることができる。

【0033】別の実施例として図2に示すような回路構成も考えられる。これは、図1の回路構成において抵抗R12、R13、R15、R16に代えてPNP型のトランジスタQ51、Q52、Q53、Q54を用いるとともに、PNP型のトランジスタQ55と抵抗R17(10kΩ)と定電流電源  $I_0$  とを追加したものである。この構成により、抵抗R12、R13、R15、R16と同様にトランジスタQ31、Q32、Q41、Q42に流れる電流を制限している。上記実施例に比べて抵抗の数が少ない分だけ回路構成がより簡素化されている。動作的には上記実施例と同様である。

【0034】

【発明の効果】以上のように、本発明によれば、上段NPN型トランジスタを駆動する上段ドライブ用トランジスタと下段NPN型トランジスタを駆動する下段ドライブ用トランジスタとを別個に設け、相手側に影響されることなく独立して制御するように構成したので、ショットキーバリアダイオードを取り除いて上段NPN型トランジスタと下段NPN型トランジスタとを直接に接続しても、上段・下段の両NPN型トランジスタが同時ONすることがなくなり、両NPN型トランジスタを貫通電流から保護しプッシュプル型出力回路としての信頼性を確保することができる。しかも、ショットキーバリアダイオードを取り除いたことにより、電源電圧を低めに設定しても、従来の高めのプッシュプル型出力回路と同様に本来の機能を有効に発揮させることができる。例えば、従来から使用されていた5V系電源を用いたプッシュプル型出力回路と同等の機能を3V系電源のプッシュプル型出力回路としてもたせることができる。

【図面の簡単な説明】

【図1】本発明の一実施例に係り出力段としてNPN型トランジスタどうしを縦型に接続したプッシュプル型出力回路の構成を示す回路図である。

【図2】本発明の別の実施例に係るプッシュプル型出力回路の構成を示す回路図である。

【図3】従来例に係り出力段としてNPN型トランジスタどうしを縦型に接続したプッシュプル型出力回路を示す回路図である。

【図4】従来例においてドライブ用トランジスタがONした場合の各部の電位を示す回路状態図である。

【図5】従来例においてショットキーバリアダイオードを除去し、ドライブ用トランジスタをONさせた場合の各部の電位を示す回路状態図である。

【符号の説明】

11……入力端子

12……出力端子

E……電源ライン

$V_{cc}$ ……電源電圧

$V_{IN}$ ……入力電圧

$V_{OUT}$  ……出力電圧

Q10 ……上段NPN型トランジスタ

Q20 ……下段NPN型トランジスタ

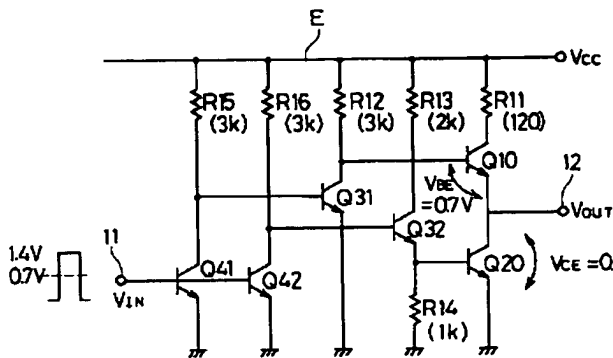
Q31 ……上段ドライブ用トランジスタ

Q32 ……下段ドライブ用トランジスタ

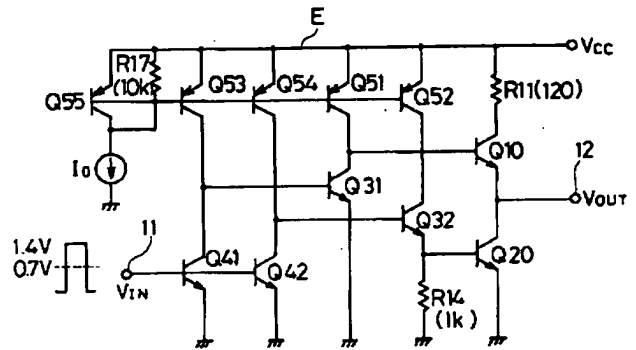
Q41 ……上段制御用トランジスタ

Q42 ……下段制御用トランジスタ

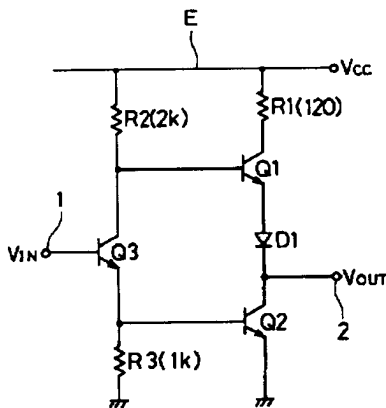
【図1】



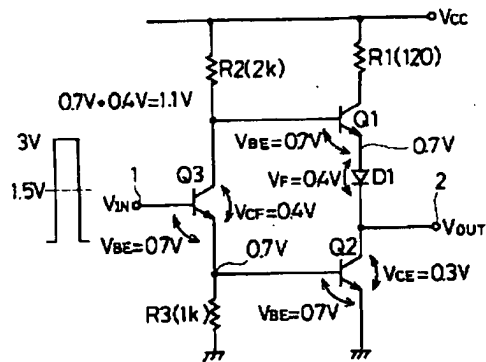
【図2】



【図3】



【図4】



【図5】

